

The design of tens of bit counter based on ISPexpert

Fan Xi Wen

Jilin aviation engineering school, Jilin

Abstract: Based on the software ISPexpert developed by Lattice Company, this article introduces the process of setting decimal scaler by using EDA technology and designing circuit by applying VHDL technology.

Keywords: electronic design automation technology (EDA); counter; very high-speed integrated circuit hardware description language (VHDL)

Received: 2019-10-15; Accepted: 2019-11-07; Published: 2019-11-30

基于 ISPexpert 软件的可置数十位计数器设计

范希文

吉林航空工程学校, 吉林

邮箱: tfan84260@sina.com

摘 要: 介绍了基于 Lattice 公司开发的 ISPexpert 软件, 利用 EDA 技术对可置数十位计数器, 应用 VHDL 语言进行电路设计的过程。

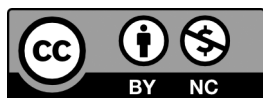
关键词: EDA 技术; 计数器; VHDL 语言

收稿日期: 2019-10-15; 录用日期: 2019-11-07; 发表日期: 2019-11-30

Copyright © 2019 by author(s) and SciScan Publishing Limited

This article is licensed under a [Creative Commons Attribution-NonCommercial 4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/).

<https://creativecommons.org/licenses/by-nc/4.0/>



引言

在现代电子设计领域, EDA (Electronic Design Automation, 电子设计自动化) 技术已经成为电子系统设计的重要手段。无论是设计数字系统还是集成电路芯片, 其设计作业的复杂程度都在不断增加, 仅仅依靠手工进行设计已经不能满足要求, 所有的设计工作都需要在计算机上借助于 EDA 软件来实现。在 EDA 软件的支持下, 设计者只需完成对系统功能的描述, 就可以由计算机软件进行处理, 得到设计结果。利用 EDA 设计工具, 设计者可以预知设计结果, 减少设计的盲目性, 极大地提高了设计的效率。

1 EDA 技术特点

EDA 技术在电子系统设计中具有以下特点: 用软件的方式设计硬件; 用软件方式设计的系统到硬件系统的转换时由相关的开发软件自动完成的; 设计过程中可用相关软件进行仿真; 系统可现场编程, 在线升级; 整个系统可集成在一个芯片上, 体积小、功耗低、可靠性高。因此, EDA 技术是现代电子设计的

发展趋势。

2 VHDL 语言

硬件描述语言是 EDA 技术的重要组成部分，其中 VHDL (Very High Speed Integrated Circuit Hardware Description Language) 是作为电子设计主流硬件的描述语言。VHDL 作为 IEEE 的工业标准硬件描述语言，得到众多 EDA 公司的支持，在电子工程领域，已成为事实上的通用硬件描述语言。使用 VHDL 语言，可以就系统的总体要求出发，自上而下地将设计内容细化，最后完成系统硬件的整体设计。我们应用的是 Lattice 公司开发的 ISPEXPERT8.3 软件。

3 计数器的设计

可置数十位计数器的设计采用的是 Lattice 公司开发的 ISPEXPERT8.3 软件在 Windows 平台下设计完成的，它是一套完整的 EDA 工具软件，也是目前常用的 EDA 工具软件之一。

3.1 软件设计

EDA 工具的重要特征之一是支持多种输入方式，如原理图输入、VHDL 硬件描述语言输入、状态级输入等，ISPEXPERT8.3 软件能很好支持这些输入方式。本设计采用 VHDL 硬件描述语言输入，可置数十位计数器的设计源程序如下：

```
library ieee;
use ieee. std_logic_1164. all;
use ieee. std_logic_unsigned. all;
entity jishuqi is
port ( data: in std_logic_vector ( 3 downto 0 ) ;
      clk , ld, p, t, clr: in std_logic;
      count: buffer std_logic_ vector ( 3 downto 0 ) ;
      tc : out std_logic ) ;
end jishuqi;
```

```
architecture zhishu of jishuqi is
begin
    tc <= 1'when ( count = " 1001 " and p = 1'and t = 1'and Id = 1'and clr = 1' )else 0;
process ( elk, cir, p, t, Id )
begin
    if ( risin 已 edge ( elk ) ) then if ( cir= 1' ) then
    if ( Id = 1' ) then
    if ( p = 1' ) then
    if ( t = 1' ) then
    if ( count = " 1001 " ) then count<= "0000";
    else
    count <= count + 1;
    end if;
    else
    count <= count *
    end if;
    else
    count <= count *
    end if;
    else
    count <= data;
    end if;
    else
    count<= "0000";
    end if;
    end if;
    end process;
end zhishu;
```

3.2 编译综合

完成了源程序的输入，即可对设计进行编译，主要是选取目标芯片，我们选择的是 ispLSI k Device-ispLSI 1032E 丑 splsl032E-70L184 芯片（如图 1 所示），编译之后即可自动生成网表文件，供逻辑综合与功能仿真用。选择项目浏览器窗口中 Tools-SynplicitySynplify Synthesis 对文件进行编译、综合（如图 2 所示）。

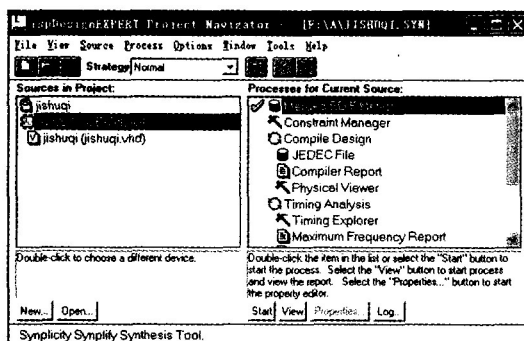


图 1

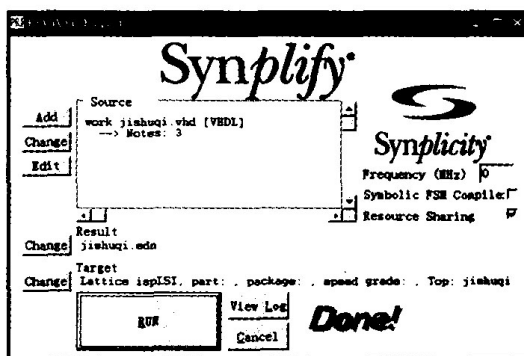


图 2

3.3 功能仿真

功能仿真只是检验设计项目的逻辑功能，是直接对 VHDL、原理图描述或其他描述形式的逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计的要求的过程，仿真过程不涉及任何具体器件的硬件特性。通过仿真得到可置数十位计数器仿真波形（如图 3 所示）。

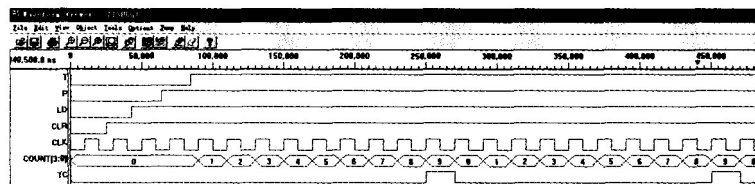


图 3

通过仿真波形可以看出，计数器的输出完全由 CLR、LD、P、T 几个信号来控制的，体现了整个设计的效果，也得以验证设计的正确性。

3.4 编程下载

应用编译和适配最终生成供下载使用的 JED 文件，通过下载电缆连接到实验箱上的下载板，把实验程序下载到目标芯片中，以便进行硬件调试和验证（Hardware Debugging）。下载界面如图 4。

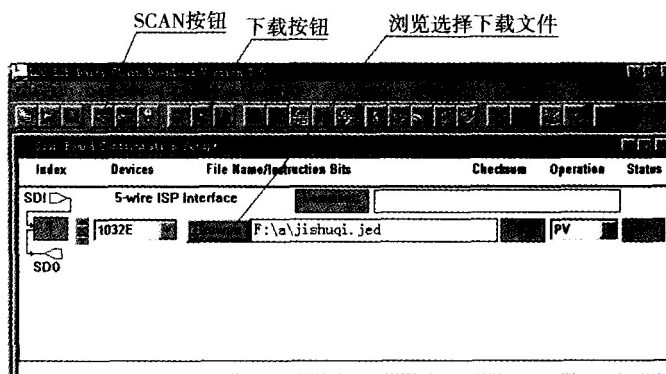


图 4

4 结语

通过此设计的流程讲述可知，VHDL 语言的极强的行为描述能力和丰富的仿真语句及库函数，决定了它具有支持大规模设计的分析和已有设计的再利用功能。电路级的 EDA 技术使电子工程师在实际的电子系统产生之前，就可以全面地了解系统的功能特性和物理特性，从而将开发过程中出现的缺陷消灭在设计阶段，不仅缩短了开发时间，也降低了开发成本。

参考文献

- [1] 沈挺, 章雷, 夏中宇. EDA 技术在电子信息专业中的应用研究与分析 [J]. 电子技术与软件工程, 2014 (06): 152.
- [2] 谭会生, 张昌凡. EDA 技术及应用 [M]. 西安: 西安电子科技大学出版社, 2002.
- [3] 王小军 VHDL 简明教程 [M]. 北京: 清华大学出版社, 1997
- [4] 顾斌, 赵明忠. 数字电路 EDA 设计 [M]. 西安: 西安电子科技大学出版社, 2004.
- [5] 康华光. 电子技术基础 (数字部分) [M]. 4 版北京: 高等教育出版社, 2000.