

Analysis on the application of logic analyzer in embedded system

Gong Chengxin

Vocational and Technical College of Anshun, Anshun

Abstract: New developments in logic analyzers have led to new improvements in ease of use, speed, and performance, allowing us to see more information and get the answers we need faster. In addition, they are backwards-compatible with existing logic analyzer modules, providing an ideal upgrade option for customers. Many new features, including automated measurement, are also available in the related software, and the user interface is greatly improved. The combination of hardware and software provides users with a set of logic analyzer tools with advanced signal capture and analysis capabilities and excellent usability.

Key words: Logic analyzer; Embedded system; The signal detection

Received: 2019-08-19; Accepted: 2019-10-10; Published: 2019-11-04

浅析逻辑分析仪在嵌入式系统中的使用

龚成新

安顺职业技术学院，安顺

邮箱: cxgong_hello@163.com

摘要: 逻辑分析仪的新发展使其在易用性、速度和性能方面有了新提高，因而使我们得以看到更多信息，并更快获得所需的答案。除此以外，它们还能向后兼容现有的逻辑分析仪模块，从而为客户提供了一种十分理想的升级方案。相关软件中还提供了包括自动化测量在内的许多新功能，用户接口也有很大改善。软、硬件结合起来，就为用户提供了一套具备先进的信号捕捉和分析能力以及优秀的易用性的逻辑分析仪工具。

关键词: 逻辑分析仪；嵌入式系统；信号探测

收稿日期：2019-08-19；录用日期：2019-10-10；发表日期：2019-11-04

Copyright © 2019 by author(s) and SciScan Publishing Limited

This article is licensed under a [Creative Commons Attribution-NonCommercial 4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/).

<https://creativecommons.org/licenses/by-nc/4.0/>



在嵌入式系统设计中，开发人员的调试手段包括断点、触发和跟踪三种。随着集成电路技术的发展，新一代的嵌入式处理器集成度和工作频率越来越高，芯片封装形式也越来越趋向表贴化。复杂高速嵌入式系统的设计、开发、测试和调试面临着新的挑战，在线调试器（ICD）与逻辑分析仪的组合开发调试平台越来越多地成为新一代嵌入式处理器的开发人员实现调试手段的首选。本文介绍如何利用最新的逻辑分析仪功能解决这些问题。

1 信号完整性问题

要保证数字信号具备足够的信号完整性，需要在设计阶段进行详细分析，并利用经验测量法对设计原型进行特性描述，以验证设计建模方法的有效性。当设计师面临的是 PCI Express 和 SATA III 等多道高速串行总线，或 FB — DIMM（全缓冲双列直插内存模块）等新的双数据率存储器技术，以及移动通信市场上最新的处理器和总线系统之类高速和高度复杂的设计时，信号完整性问题就变得越发重要。

开发人员使用断点功能控制所调试的应用程序的信号完整性。断点，顾名思义就是（应用程序）停下来的地方。断点按照其实现方法分为软件断点和硬件断点。软件断点是靠程序指令陷阱来实现的。硬件断点是靠嵌入式处理器或调试工具硬件来实现的。软件断点的实现方法对于不同的嵌入式处理器和不同的调试工具而言，实现方法都是一样的，都是通过修改程序指令的方法实现的。硬件断点的实现方法对于不同的嵌入式处理器和不同的调试工具而言，实现方法是不一样的。有的嵌入式处理器具有片上调试逻辑，调试工具通过 JTAG、BDM、OCDS、NEXUS 等接口访问控制片上调试逻辑，通过片上调试逻辑实现硬件断点。这种硬件断点的数量是有限制的。由于不同的嵌入式处理器上的调试逻辑实现方法不同，因而它们提供的硬件断点的数量是不一样的。在线调试器（ICD）就是通过访问控制片上调试逻辑实现硬件断点的。没有片上调试逻辑的嵌入式处理器不能使用在线调试器。在线仿真器（ICE）通过基于存储器的断点技术实现硬件断点。在线仿真器实现的硬件断点的数量是没有限制的。对于没有片上调试逻辑的嵌入式处理器，可以考虑用在线仿真器（ICE）进行调试。

触发用于捕捉所调试的应用程序在运行中出现的某一特定目标状态。这一特定的目标状态就是触发条件。触发条件通常是处理器的特定的地址、数据、控制总线以及内部/外部信号状态的逻辑组合。调试工具在触发发生之后,要么停止所调试的应用程序的运行,要么增加触发计数器,要么输出一个触发信号,以便通知开发人员,所要捕捉的触发条件已发生。为了便于开发人员观察触发发生之后应用程序的执行情况,调试工具通常会提供触发滞后的功能。触发滞后就是调试工具在发生触发之后仍然使应用程序继续运行一段特定的时间之后才将应用程序停下来。

不同的调试工具对触发功能的实现程度是不一样的。在线仿真器(ICE)绝大多数都可以实现完整的触发功能。在线调试器(ICD)对触发功能的实现程度取决于所调试的嵌入式处理器上的片上调试逻辑。在线调试器(ICD)与逻辑分析仪组合,可以实现较完整的触发功能,因此可以很好的解决信号完整性问题。

2 信号探测问题

由于新的更快速的嵌入式系统总线及其相关信号完整性问题的出现,需要在设计周期的更早阶段就开始考虑设计的测试和调试,需要考虑在哪里进行探测、使用哪种类型的探头。

探测高速信号的边缘需要高阻探头,为满足这种需要,逻辑分析仪制造厂商提供了一种电容小于半皮法的探头。最新的有源硅/锗低阻无座探头,它为我们提供了测试和调试现代嵌入式系统时所需要的探测特性。由于许多原因,标准的逻辑分析仪连接系统所带来的好处对嵌入式系统工业而言十分重要。

开发人员通常将触发功能与下面要讲到的跟踪功能一起使用,来对信号进行有效探测。跟踪就是记录所调试的应用程序的执行过程,以便开发人员分析导致应用程序出现问题的原因。跟踪的记录方式有先进先出方式和压栈方式。先进先出方式总是记录应用程序停下来之前的最新运行过程。在先进先出方式下,如果跟踪记录缓冲填满的话,最先跟踪的记录就要丢弃,以便填充新的记录。压栈方式记录跟踪开始到跟踪记录缓冲被填满这段时间内应用程序的运行过程。在压栈方式下,如果跟踪记录缓冲填满的话,新的应用程序执行过程将不被记录。

跟踪还可以有选择地记录程序的执行过程，例如，只记录函数入口和出口的执行过程。当然，要进行有选择跟踪，开发人员必须对跟踪功能进行设置。

不同的调试工具对跟踪功能的实现方式是不一样的。在线仿真器（ICE）由于其结构的特殊性，它可以捕获到嵌入式处理器的总线周期，它的跟踪记录的最小单位就是总线周期。在线仿真器（ICE）调试软件译码这些总线周期，倒推出程序的执行过程。在线调试器（ICD）因为不能捕获嵌入式处理器的总线周期，因而决大多数没有跟踪功能。有些嵌入式处理器的片上调试逻辑能够将程序的执行过程信息压缩之后通过特定的接口送到芯片外部，供外部的调试工具使用。这样，在线调试器（ICD）可以通过增加跟踪模块捕获这些信息的方法实现跟踪功能。在线调试器（ICD）调试软件从跟踪模块记录的嵌入式处理器送出来的指令流信息，还原出应用程序的执行过程。基于 ARM 内核的嵌入式处理器芯片上的 ETM 接口就是一个这样的接口。通过这种方法实现的跟踪功能的完善程度完全取决于片上调试逻辑。

由于逻辑分析仪具有超强的逻辑跟踪分析功能，因而它可以捕获记录嵌入式处理器的总线周期，也可以捕获记录来自像 ETM 这样的接口的程序执行信息，并对这些记录进行分析，译码或还原出应用程序的执行过程。逻辑分析仪通过触发接口与在线调试器（ICD）协调工作，补充在线调试器（ICD）在跟踪功能方面的不足，与在线调试器（ICD）一起为开发人员提供断点、触发和跟踪三种调试手段。

3 四种常见错误的处理

在嵌入式系统的开发调试中，开发人员通常会遇到四类问题：逻辑问题、软 / 硬件相互影响问题、软件实时问题和崩溃问题。应用程序逻辑设计或编码错误或设计假设不正确，都属于逻辑错误。指令引起的存储器访问出错，应用程序在运行过程中出现在数据总线上的特定数据格式引起的串扰假信号，这些都是软 / 硬件相互影响问题。应用程序在单步、端点的调试中都运行正常，而只有在目标系统全速运行的时候才会出问题，这类问题就属于软件实时问题。目标系统在运行中发生系统崩溃，这类问题就是崩溃问题。逻辑问题大约占开

发人员遇到的所有调试问题的 80%。解决这类问题,开发人员通过在应用程序中设置断点,检查寄存器、存储器、变量等的值来解决。开发人员解决逻辑问题的时间约占解决所有调试问题的总时间 20%。而解决其它三类问题所用的时间要占到解决所有调试问题的总时间的 80%。这三类问题只靠设置断点的方法,往往是比较难以解决的。由于产生这三类问题的原因通常都比较复杂,所以,开发人员必须通过触发来捕捉这些问题,然后,再通过跟踪来分析产生这些问题的原因。

传统地,嵌入式系统的开发调试人员通常使用在线仿真器(ICE)来完成端点、触发和跟踪这三种调试手段。随着集成电路技术的不断发展,新一代的嵌入式处理器的工作频率越来越高,封装越来越表贴化。由于在线仿真器要通过仿真探头取代目标系统上的嵌入式处理器来和目标系统连接,所以,在线仿真器对新一代的嵌入式处理器而言,连接是一大问题。嵌入式处理器的设计生产厂商已经认识到这个问题。他们在新一代的嵌入式处理器增加了片上调试逻辑,而访问片上调试逻辑只须不到十根连接线,且时钟频率不高。在采用新一代的嵌入式处理器来开发目标系统的时候,越来越多的开发人员会选择在线调试器加逻辑分析仪形式的组合开发调试平台。

随着未来电子系统应用越来越多地采用多种总线结构和多微处理器,逻辑分析仪也在向更多测试通道、更深存储深度发展。

参考文献

- [1] 辛再普. 数字设计使用的逻辑分析仪[M]. 北京: 中国铁道出版社, 2008.
- [2] 何立伟. 虚拟逻辑分析仪触发功能[EB/OL]. <http://www.fs jy.net/tushuguan/jiaoyujs>, 2008-02-12.
- [3] 王黎明, 陈双桥, 闫晓玲等. ARM9 嵌入式系统开发与实践[M]. 北京: 中国北京航空航天大学出版社, 2008.